

Erfurt, den 26. 2. 1974
ETE-22/Ha/Kl.

P f l i c h t e n h e f t e n t w u r f

1/74

Kundenwunschs Schaltkreise zum "Widerstandsnetzwerk" U 701 D -
U 703 D

1. Allgemeines

Die MOS-Schaltkreise U 701 D - U 703 D bilden eine zusammengehörige Gruppe von MOS-Schaltkreisen zur Realisierung von digitalsteuerbaren Widerstandselementen (Analogschalter).

Diese Widerstandselemente werden binär codiert von einer TTL-Logik angesteuert. An den Ausgangsklemmen entsteht ein dem binären Eingangswert entsprechender Widerstandswert.

~~An den Ausgangsklemmen herrscht ein positiver Spannungspiegel.~~

Die Eingangssignale bestehen aus 16 Informationsleitungen (Datenbus) und einer Taktleitung. Die Übernahme der Eingangsinformation in die Datenregister (D-Register) erfolgt auf die H-L-Flanke des Taktes. Die Ausgänge der D-Register steuern Schalttransistoren mit geringem Drainwiderstand R_D (ON)°

Ist der logische Zustand der in das D-Register übernommenen Eingangsinformation = H, nimmt der zugehörige Schalttransistor den Zustand R_D (ON) ein und entsprechend bei L den Zustand R_D (OFF)°

Die gesamte Ansteuerschaltung für das Widerstandsnetzwerk wird in 3 MOS-Schaltkreisen realisiert. Die Informationseingänge und die Takteingänge sind TTL-kompatibel ausgelegt.

Die Schaltkreise U 701 D und U 702 D werden wegen ihrer weitestgehende Übereinstimmung als Typengruppe realisiert.

Die unterschiedlichen Ausgangsbelegungen werden durch Variation einer Fotoschablone erreicht.

U 701 D Schaltbild
Schaltbild U 701 D
U 702 D
Trilogie des Netz. Schöner U 701/20
Karyotypie des
Schaltbild der ganzen Anlage

2. Typenspektrum

2.1. U 701 D Register

Der Schaltkreis U 701 D realisiert die Ansteuerung für den niederohmigen Teil der Widerstandskette. Die Information der 8 Eingänge wird auf die H-L-Flanke des Taktes in das D-Register übernommen. Das Register wird aus 8 Flip-Flop gebildet. Die Ausgänge der Flip-Flop steuern direkt und über eine logische Verknüpfung die Ausgangstreiber für die Ausgänge a_1 bis a_{10} .

Zur Erreichung der hohen Steuerspannung für die Schalttransistoren sind die Inverter der Ausgangstreiber mit integrierten Widerständen versehen.

Die zum U 701 D gehörenden Schalttransistoren befinden sich auf dem Schaltkreis U 703 D. Zwischen den 8 Eingängen und den 10 Ausgängen bestehen folgende logische Zusammenhänge:

$$\begin{aligned}
 D_n &= e_n & n &= 1 \dots 8 \\
 a_n &= \bar{D}_n \\
 a_9 &= \bar{D}_1 + \bar{D}_2 + \dots + \bar{D}_8 \\
 a_{10} &= \bar{D}_2 + \bar{D}_3 + \dots + \bar{D}_8
 \end{aligned}$$

- e_n - Informationseingänge
- D_n - Registerausgänge
- a_n - Freiberenausgänge

Die Eingänge des Schaltkreises sind mit integrierten Widerständen für den TTL-kompatiblen Betrieb ausgelegt.

2.2. U 702 D Register mit Ausgangsschalter

Der hochohmige Teil der Widerstandskette wird durch den Schaltkreis U 702 D realisiert. Die Ausgangsschalter sind mit dem Schaltkreis integriert. Die Ausgänge der Schalttransistoren steuern die Widerstandskette an.

Der Schaltkreis U 702 D unterscheidet sich vom U 701 D nur durch die erweiterte Logik und den Anschluß der Ausgänge. Der Drainwiderstand R_D (ON) der Schalttransistoren ist kleiner als 300 Ω . Zwischen den 8 Eingängen und 11 Ausgängen bestehen folgende Zusammenhänge: vorausgesetzt wird, daß die Eingangsbelegung der Eingänge e_1 bis e_8 schon in das D-Register übernommen wurde. Zwischen den Ausgängen a_n und a_{n+1} ($n = 1 \dots 8$) erscheint dann der Zustand R_D (ON): wenn der Eingang e_n den Zustand H eingenommen hatte. Haben die Eingänge e_2 bis e_8 den Zustand \bar{H} inne, so erscheint zwischen a_2 und a_9 der Zustand R_D (ON). Haben die Eingänge e_3 bis e_8 den Zustand H inne, dann erscheint zwischen a_3 und a_9 der Zustand R_D (ON). In diesen beiden Fällen findet eine Überbrückung der Ausgangsschalter ~~_____~~ ^{durch die Transistoren} _{Two select st A}. Der Ausgang a_{10} führt einen Logikpegel wie der Schaltkreis U 701 D. Der entsprechende Schalttransistor befindet sich auf dem Schaltkreis U 703 D. Der Ausgang a_{10} hat folgende logische Verknüpfung.

$$a_{10} = \overline{D_1 + D_2 + \dots + D_8}$$

Sämtliche Eingänge sind mit integrierten Widerständen für den TTL-kompatiblen Betrieb versehen.

2.3. U 703 D 11-fach Transistor

Der Schaltkreis U 703 D enthält die Schalttransistoren für den niederohmigen Teil der Widerstandskette. Der Schaltkreis besteht aus 11 gekoppelten MOS-Transistoren mit ~~einem maximalen Drainwiderstand R_D (ON) von 30 Ω .~~

3. Elektrische Kennwerte

3.1. Grenzwerte U 701 und U 702 D

Betriebsspannung	U_1	- 20 ... + 0,3 V
Eingangsspannung	U_e	- 25 ... + 0,3 V
Schalttransistoren	U 703 D	
Drainspannung	U_{DB}	- 15 ... + 0,3 V
Sourcespannung	U_{SB}	- 15 ... + 0,3 V
Gate U_{GB} spannung		- 25 ... + 0,3 V

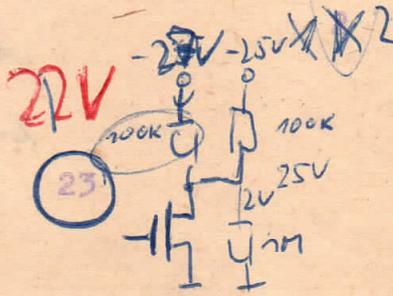
Betriebstemperatur
Lagertemperatur

T_a 0 ... + 70°C
 T_s - 40 ... + 100°C

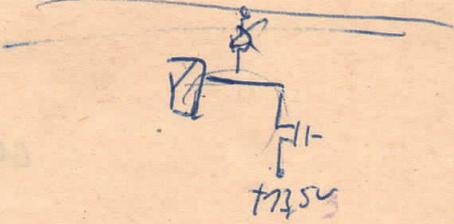
3.2. Statische Grenzwerte bei Betriebsspannung $-U_1 = 27 \begin{smallmatrix} +1 \\ -2 \end{smallmatrix}$ V und im Temperaturbereich $T_a = 0 \dots 70^\circ\text{C}$

3.2.1. U 701 D

	min.	typ.	max.	Einheit
Eingangsspannung L $-U_{eL}$	9		25	V
Eingangsspannung H $-U_{eH}$			22	V
Ausgangsspannungen				
Ausgangsspannung H $-U_{aH}$ bei $R_L = 100 \text{ k}\Omega$			22	V
Ausgangsspannung L bei $R_L = 1 \text{ M}\Omega$ $-U_{aL}$			23	V
Eingangsreststrom bei MOS-Widerstand am Eingang bei $-U_1 = 25 \text{ V}$ $-I_e$	0,3		0,6	mA
Eingangsreststrom bei Eingängen ohne zusätzl. MOS-Widerstand am Eingang bei $-U_e = 20 \text{ V}$ $-I_e$				µA
bei $-U_e = 10 \text{ V}$ $-I_e$			0,5	µA
Stromaufnahme $-I_1$				mA
Leistungsverbrauch P_v				mW
Eingangskapazität C_a				pF



$\frac{25}{100} = 0,25 \text{ mA}$
 $- 250 \text{ nFA}$



154

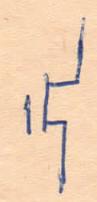
zufällig

3.2.2. U 702 D

Eingangsspannung L $-U_{eL}$	9			V
Eingangsspannung H $-U_{eH}$			2	V
Ausgang a_{10}				
Ausgangsspannung H bei $R_L = 100 \text{ k}\Omega$ $-U_{aH}$			2	V

		min.	typ.	max.	Einheit
Ausgangsspannung I_L bei $R_L = 1 \text{ M}\Omega$	$-U_{aL}$		25 22 V		V
Ausgangsschalter Ausgänge $a_1 \dots a_9$ Drainwiderstand R_D bei $-U_e = 2 \text{ V}$ $-U_{SB} = 10 \text{ V}$ $-I_D = 1 \text{ mA}$	$R_D \text{ (ON)}$			300	Ω
Eingangsrestströme bei Eingängen mit MOS-Widerstand bei $-U_1 = 20 \text{ V}$	$-I_e$		0,3	0,6	mA
Eingangsreststrom bei Eingängen ohne zusätz- lichen MOS-Widerstand bei $-U_e = 20 \text{ V}$ bei $-U_g = 10 \text{ V}$	$-I_e$ $-I_e$			3 0,5	μA μA
Stromaufnahme	$-I_1$				mA
Leistungsverbrauch	P_V				mW
Eingangskapazität	C_e				pF
Ausgangsschalter Drain-Source-Reststrom 1) bei $-U_{SB} = 10 \text{ V}$ $-U_{DB} = 10 \text{ V}$ $\vartheta_a = 40^\circ\text{C}$	$-(I_D + I_S)$			0,01	μA
Drain-Reststrom bei $-U_{SB} = 0 \text{ V}$ $-U_e = 9 \text{ V}$ $-U_{DB} = 10 \text{ V}$ bei $\vartheta_a = 70^\circ\text{C}$ bei $\vartheta_e = 45^\circ\text{C}$	$-I_D$ $-I_D$			1 0,1	μA μA

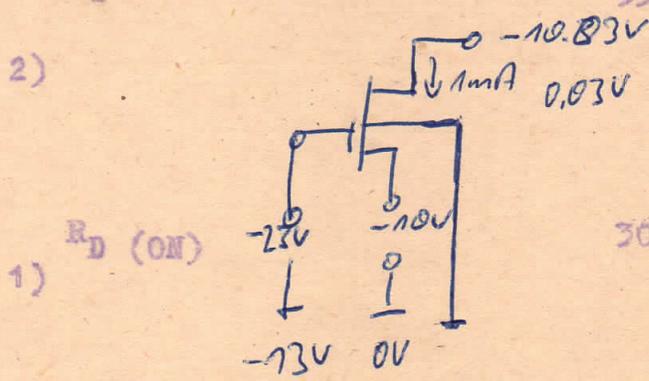
entfällt



noch übernehmen L in
Körper e, bei ep

← noch übernehmen L in
Körper L, bei ep

		min.	typ.	max.	Einheit
3.2.3. U 703 D					
Eingangsspannung L	$-U_{eL}$	22 23 V			V
Eingangsspannung H	$-U_{eH}$			2	V
Eingangsreststrom					
bei $-U_e = 20$ V	$-I_e$			3	μ A
bei $-U_e = 10$ V	$-I_e$			0,5	μ A
Leistungsverbrauch	P_{max}	P_{max} pro Einzelbauelement			mW
Eingangskapazität	C_e			35	pF
Schalttransistor					
Drainwiderstand R_D					
bei $-U_{GB} = 23$ V					
$-U_{SB} = 10$ V					
$-I_D = 1$ mA					
Drain-Reststrom					
bei $-U_{GB} = 0$ V					
$-U_{SB} = 0$ V					
$-U_{DB} = 10$ V					
$T_a = 45^\circ$ C					
	$-I_D$			0,1	μ A



- 1) Dieser Wert wird als Informationswert an einigen Exemplaren nachgewiesen und die Streubreite ermittelt. Der angegebene Wert wird nicht gemessen. Das Sperrverhalten wird bei der Messung bei einer messtechnisch möglichen Grenze bei Raumtemperatur ermittelt.
- 2) Dieser Wert gilt als anzustrebender Wert. Über die Datengarantie insbesondere den Verhältnis typ. Wert - max. Wert und Streuwerte erfolgen nach der Mustererprobung entsprechende Vereinbarungen.

3.2.4. TTL-kompatibler Betrieb U 701 D und U 702 D

		min.	typ.	max.	Einheit
Betriebsspannung	$-U_1$	13,5	14	14,5	V
	U_0	11,5	13	13,5	V

3.3. Dynamische Kennwerte bei $-U_1 = 27 \begin{matrix} +1 \\ -2 \end{matrix} V$
 und im Temperaturbereich $\vartheta_a = 0 \dots 70^\circ C$

Übernahmezeit der Eingangsinformation in das Register Flip-Flop	min.	typ.	max.	Einheit
			1	µs
<i>Verzögerung zwischen dem Eingang und dem Ausbruch eines Pulses</i>				
				10 µs

4. Konstruktive Kennwerte

4.1. Gehäuse

Die Schaltkreise U 701 D - U 703 D sind in 22 poligen DIL-Plastgehäuse mit Reihenabstand 12,5 mm untergebracht.

4.2. Anschlußbelegungen

Anschluß	Bezeichnung		
	U 701 D	U 702 D	U 703 D
1	a3	a3	e1
2	a4	a4	e2
3	a5	a5	e3
4	a31	a11	e4
5	a6	a6	e5
6	a7	a7	e6
7	a8	a8	e7
8	- 10V	a9	e8
9	a9	a10	e10
10	a10	- 10V	e9
11	Null	Null	e11
12	CP	CP	<u>Bulk</u>
13	e8	e8	e10
14	e7	e7	e9
15	e6	e6	e8
16	e5	e5	e7
17	e4	e4	e6
18	e3	e3	e5
19	e2	e2	e4
20	e1	e1	e3
21	a1	a1	e2
22	a2	a2	e1

5. Zuverlässigkeit

Auf eine Zuverlässigkeitsprüfung am speziellen Typ wird verzichtet. Der Bauelementehersteller gibt als Richtwert eine Prüfzuverlässigkeit λ_p an, die für Bauelemente des gleichen Integrationsgrades und der gleichen Technologie gilt.

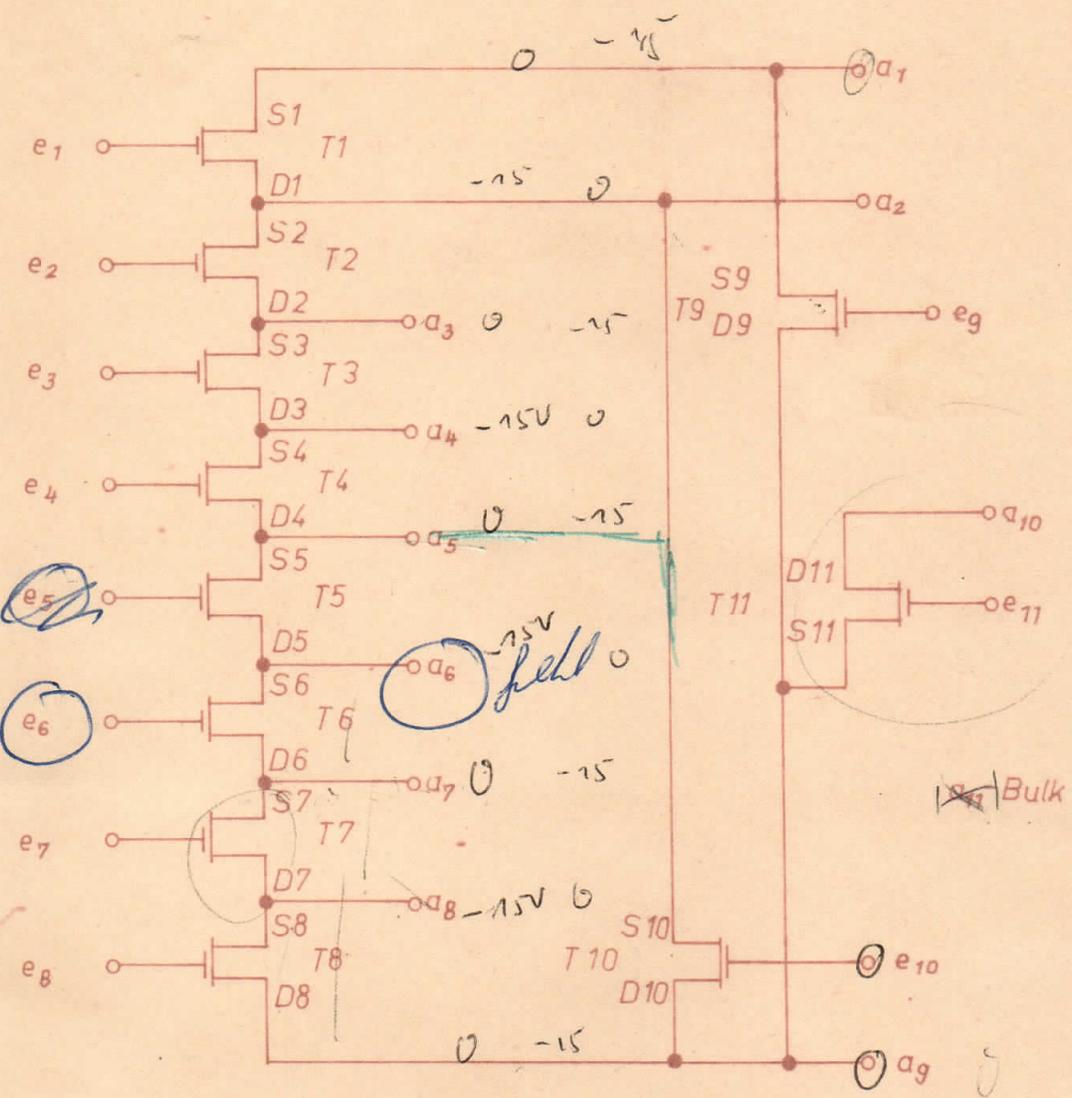
Diese Prüfzuverlässigkeit wird an anderen Typen durch den Bauelementehersteller nachgewiesen. Der Richtwert beträgt:

$$\lambda_p \leq 2 \cdot 10^{-5} \text{ a}^{-1}$$

Die angegebenen Werte stellen vorläufige Richtwerte dar. Die endgültigen Werte werden durch Mustererprobung festgelegt.

Paßmaß	Abmaße

A
B
C
D
E



$f_{T1} = 9$
g
10

Wiederholteil in		Oberfläche:	
Abweichg. für Maße ohne Tol.-Angabe	Masse	Halbzeug, Werkstoff	VP Nr.
	kg		P Nr.
1973	Tag	Name	Benennung
Bearb. 7.11.			Schaltbild U703 D
Gepr.			Zeichnungs-Nr.
Stat.			Blatt
Ausgabe	Änd.-Anw.-Nr.	Tag	Name
			Fert.gpr.
Kombinat VEB Funkwerk Erfurt Stammbetrieb		Ers.	Ers. d.

Diese Unterlage ist unser Eigentum. Mißbrauch, Vervielfältigung oder Mitteilung an Dritte wird verfolgt.