

1.3.2. Systembus

Der Systembus MMS 16 ist gekennzeichnet durch folgende Leistungsparameter.

Logisch/elektrisch/funktionell:

- entsprechend IEC 47 H (Sekretariat) 19
- kompatibel zu MULTIBUS 1 *) (IEEE P 796) sowie zum AMS-Bus **)
- uebereinstimmend mit I 41 <Normativmaterial NM MRK RT 103-86) Konstruktiv:
- entsprechend IEC 47 H (Sekretariat) 21, Leiterplatten "Doppeleuropa"
- steckerkompatibel zum AMS-Bus
- uebereinstimmend mit Anlage 1 des obigen Norm.-Materials Funktionelle

Kennzeichen sind

- asynchroner Betrieb
- Datenbreite 16 Bit, Adressbreite 24 Bit
- erlaubt Zusammenarbeit von 8-Bit- und 16-Bit-Prozessoren
- Interruptsystem, Busarbitragesystem

Der Systembus arbeitet als elektrisch kurzer Bus; seine Laenge einschliesslich Stichleitungen betraegt max. 44 cm, die Signallaufzeit ist kleiner als das Signalflankenzeit. Er bietet von seiner elektrischen Auslegung her Anschlussmoeglichkeit fuer max. 20 Systembus-Partner; die verteilte Gesamtkapazitaet je Leitung darf max. 300 pF betragen. Eine Uebersicht ueber die Systembusleitungen und die Kontaktbelegung an X1 gibt Abschnitt 1.7.1.

1.3.2.1. Dateneübertragungszyklen auf dem Systembus

An Dateneübertragungszyklen ist jeweils ein "Master" und ein "Slave" beteiligt. Der Master beginnt den Zyklus auf Grund seines Arbeitsablaufes (z.B. Programm), indem er Adress-Signale (sowie bei Schreibzyklen auch Datensignale) anlegt und anschliessend ein Kommando erteilt. Der durch Adresse und Kommando angesprochene Slave reagiert durch Übernahme der Schreibdaten bzw. durch Bereitstellung der Lesedaten und erteilt das Quittungssignal /XACK.

Mögliche Kommandos des Masters sind:

/MRDC <Memory-Read-Command> und /MWTC <Memory-Write-Command> fuer Lesen bzw. Schreiben einer Zelle, die eine Adresse im Speicheradressbereich hat;

/IORC (I/O-Read-Command) und /IOWC (I/O-Write-Command) fuer Lesen bzw. Schreiben einer Zelle, die eine Adresse im E/A-Adressbereich hat.

Das Slave-Quittungssignal /XACK (Transfer acknowledge) als Bestätigung der Übertragung ist bei allen 4 Kommandos gleich.

Adress-Signale des Masters sind:

/ADR0.../ADR17 (24 Signale, hexadezimale Zählung).

Bei /MRDC und /MWTC werden alle 24 Signale vom Slave (meist Speicher) beachtet) der Speicheradressraum betraegt also 16 Mbyte. Die Master des A 7150 liefern allerdings nur /ADR0.../ADR13 (1 Mbyte Adressraum).

Bei /IORC und /IOWC werden nur /ADR0.../ADRF <64K Adressraum> geliefert bzw. beachtet.

Zu den Adress-Signalen gehoert auch /BHEN (Byte high enable): Passives /BHEN zeigt die Übertragung nur eines Bytes an, hierbei ist sowohl das Byte gerader Adresse (/ADR0 passiv, niederes Byte im Wort) als auch das Byte ungerader Adresse (/ADR0 aktiv) zugelassen.

Aktives /BHEN zeigt an, dass ein 16-Bit-Wort zu uebertragen ist, so dass die hoeherwertigen Datenleitungen (siehe unten) mit zu nutzen sind. Bei Wortuebertragung wird auf dem Systembus stets eine geradzahlige Adresse (/ADR0 passiv) verlangt; das Wort wird also durch sein niederwertiges Byte adressiert. "/ADRO aktiv" ist in diesem Fall auf dem Systembus verboten.

Weitere Adress-Signale sind /INH1 und /INH2. /INH1 wird von OPS und ZPS beachtet. Im A 7150 wird es benutzt, um etwa vorhandenen OPS im Adressbereich des Bildwiederholerspeichers der ABG K 7075 zu sperren.

Die D a t e n l e i t u n g e n des Systembus uebertragen sowohl vom Master zum Slave wie auch umgekehrt. Es werden genutzt:

- /DAT0... /DAT7 fuer alle Byte-Übertragungen, unabhaengiq davon, ob das hoehere oder niedere Byte zu uebertragen ist; ausserdem fuer Wortuebertragung (niederes Byte).

- /DAT8.../DATF nur fuer Wortuebertragung (hoeheres Byte).

Diese Regelung erlaubt es 8-Bit-Prozessoren (z.B. KES) oder Speichern mit 8-Bit-Zugriffsbreite, alle Übertragungen ueber /DAT0.../DAT7 durchzufuehren und doch alle Adressen zu nutzen. 16-Bit-Module (Speicher OPS, ZVE

samt dem CPU-Schaltkreis und dem ZVE-Lokalbus) haben aber ein anderes inneres Verhalten: Das hoehere Byte liegt stets an den internen Datenleitungen 8...15, das niedere an den internen Datenleitungen 0...7. Zwischen einem solchen Modul und dem Systembus muss daher uebertragen werden im Fall

- a) /BHE,/ADR0: (intern) 0...7 von/nach (Bus) DAT0 ...7,
- b) /BHE,ADR0: (intern) 8...15 von/nach (Bus) DAT0 ...7 (Byte-Swap)
- c) BHE,/ADR0: (intern) 0...15 von/nach (Bus) DAT8...15.

Die Module OPS, ZVE und ABG benoetigen daher an ihrem Systembus-Anschluss eine *'Byte-Swap-Schaltung'. Der Datenanschluss des ZPS erfolgt ueber den Lokalbus der ZVE und von da zum Systembus ueber die Byte-Swap-Schaltung der ZVE.

3.3.2.2. Mehrprozessorfaehigkeit des Systembus, Arbitrage

Die Master muessen zur Sicherung hoher Systemleistung so aufgebaut sein, dass sie den Systembus nicht staendig benoetigen, sondern vorwiegend interne Operationen ohne Systembus durchfuehren.

Beim KES ist diese Eigenschaft durch Anordnung von KES-eigenen PROMs und RAMs direkt bei dessen Prozessor realisiert.

Bei der ZVE ergibt sich diese Eigenschaft bei Einsatz des ZPS, der dann vorzugsweise die haeufig genutzten ZVE-Programme und Daten enthaelt. Wenn mindestens alle weiteren ZVE ausser der ersten mit einem ZPS ausgeruestet sind, ist eine Mehrprozessorarbeit am Systembus ohne wesentliche gegenseitige Behinderungen moeglich.

Der A 7150 arbeitet (wegen der groesseren in OPS-Module enthaltenen Speicherkapazitaet und der begrenzten Platzzahl fuer Module insgesamt) vorzugsweise ohne ZPS, zumal auch der Zeitgewinn mit ZPS nicht sehr erheblich ist. Die Ablaeufe der Master setzen voraus, dass die Systembusnutzung an jeder beliebigen Programmstelle moeglich ist. Tritt dieser Bedarf ein und ist der betr. Master z. Zt. nicht in Busbesitz, dann bewirbt er sich um den Bus durch Aussenden der Arbitrage-Signale /BPRO passiv, /CBRQ aktiv. Die Zuweisung des Busses an einen neuen Master, d.h. die Arbitrage, erfolgt fruehestens nach Ende des auf dem Systembus laufenden Datenuebertragungszyklus; dabei erhaelt der prioritaetshoechste sich bewerbende Master den Busbesitz und kann einen Datenuebertragungszyklus durchfuehren. Jeder Master muss in der Lage sein, die Wartezeit bis zum Erhalt des Busbesitzes (z.B. durch WAIT-Takte des Prozessor) zu ueberbruecken. Bei nicht zu hoher Busbelastung sind diese Wartezeiten fuer den Systemdurchsatz tragbar.

Beim A 7150 sind in den Mastern ZVE und KES die Arbitrage-Schaltkreise KR590WG89 (kompatibel zu 8289) eingesetzt. Es erfolgt "serielle Arbitrage" nach den Prinzipien dieser Schaltkreise. Hierzu dienen die Bussignale /CHRQ, /BCLK, /BUSY sowie die Prioritaetsketten-Bussignale /BPRN und /BPRO. Die Prioritaetsfolge der Steckeinheitenplaetze in der Prioritaetskette wird in 1.6.2. angegeben.

Der KES erhaelt im A 7150 hoehere Prioritaet als die ZVE. Die ZVE erhaelt aber

(durch Verwendung von /CHRQ und wegen Modus ANYRQ im KES) auch bei laufender KES-Datenblockuebertragung zum Systemspeicher mindestens jeden 2. Zyklus, sofern sie durch Interrupt aus dem Wartezustand nach WAIT-Befehl geloest wird. Daher bleibt die Interruptreaktion der ZVE auch bei KES-Arbeit gewaehrleistet. Das Bussignal /LOCK (wie auch das gleichnamige, aber zeitlich nicht identische Signal am Eingang des KR580WG89) wird bei A 7150 nicht benoetigt.

*) MULTIBUS ist ein geschuetztes Warenzeichen der Intel Co.

***) AMS ist ein geschuetztes Warenzeichen der Siemens AG.