

CPU-Simulator für U 880 D

(rescript rfe 1989/4, S258-259)

Mit dem in diesem Beitrag beschriebenen CPU-Simulator lassen sich sehr leicht Fehler auf dem Adress- bzw. Datenbus von Mikrorechnersystemen mit U880, wie Unterbrechungen oder gar Schlüsse der einzelnen Leitungen, untersuchen. In der Betriebsart Automatik können auch dynamische Untersuchungen durchgeführt werden, die Rückschlüsse auf die Funktionssicherheit einbezogener Logikschaltungen zulassen.

Der CPU-Simulator besteht im wesentlichen aus der Signalerzeugung für den Adress- und Datenbus und die Ablaufsteuerung einschließlich deren Bedienteil (Bild 1).

Die Anschlüsse für die Verbindung mit dem zu testenden Mikrorechner und deren Bezeichnung beziehen sich auf den K-1520-Systembus, es lassen sich jedoch auch andere Rechnerkonfigurationen anschließen.

Signalerzeugung Adreß- und Datenbus

Bild 2 zeigt die Schaltung der Signalerzeugung für den Adress- und Datenbus. Mit den Schaltern S_1 bis S_8 bzw. S_9 bis S_{16} läßt sich die gewünschte Adresse für den L-Teil (A0 bis A7) bzw. H-Teil (A8 bis A15) als Binärwort einstellen. Eine entsprechende Anzeige erfolgt durch die LEDs V_1 bis V_8 bzw. V_9 bis V_{16} . Dabei ist zu beachten, daß die LEDs zwar den L-Zustand des jeweiligen Adressbits anzeigen, durch die Invertierung der Bustreiberschaltkreise jedoch daraus ein H-Pegel entsteht. Über die Bustreiberschaltkreise D_1 , D_2 können bei entsprechender Aktivierung die Adressen A0 bis A15 auf den Adressbus gegeben werden. Die Aktivierung erfolgt vom Bedienteil über eine entsprechende Bussteuerung.

Für den Anschluss des Datenbusses gilt im wesentlichen das Gleiche. Die Anzeige des Zustandes der Bits D0 bis D7 erfolgt über den invertierenden Bustreiber D_4 durch die LEDs V_{17} bis V_{24} (Lesebetrieb).

Soll auf den Datenbus eine Information ausgegeben werden, so ist dies wie beim Adressbus möglich. Mit den Schaltern S_{17} bis S_{24} wird das Byte bitweise eingestellt, wobei die Anzeige mit den LEDs V_{17} bis V_{24} erfolgt. Die Aktivierung des Bustreibers D_3 wird durch die Ablaufsteuerung entsprechend der am Bedienteil eingestellten Betriebsart vorgenommen.

Bedienteil

Bild 3 zeigt den Schaltungskomplex des Bedienteils. Bevor auf die Schaltungsdetails eingegangen werden soll, sind noch einige Vorbemerkungen bezüglich der sich aus den konstruktiven Bedingungen ergebenden Probleme notwendig. Bei der Vielzahl der Bedienelemente und der beschränkt zur Verfügung stehenden Frontplattenfläche ist eine Lösung ohne spezielle Miniaturtaster bzw. -schalter sehr schwierig. Die allgemeine Verwendung von DIL-Schaltern ist zwar möglich, aber aus ergonomischer Sicht nicht sehr zu empfehlen. DIL-Schalter wurden deshalb hier nur für wenig zu betätigende Bedienelemente, z. B. für die Adress- und Datenbuseinstellung, vorgesehen. Für die am häufigsten benutzten Bedienelemente wurden deshalb Sensorschalter eingesetzt. Konstruktiv bestehen diese aus Telefonbuchsen mit integrierter 3-mm-LED für die Rückmeldung der exakten Funktion des Sensorschalters.

Die Elektronik wird durch RS-Flip-Flops (D_5 bis D_9) und vorgeschalteten CMOS-Invertern (D_8 , D_9) realisiert. Zur Festlegung einer Vorzugsrichtung beim Einschalten dienen die Kondensatoren C_1 bis C_5 . Die Sensorschalter werden für folgende Funktionen eingesetzt:

- **BUSRQ:** Mit diesem Ein-Aus-Schalter erfolgt die Kontrolle des gesamten Systembusses, d. h., wenn das BUSRQ-Signal aktiv ist (L-Pegel), wird die CPU des zu testenden Rechners auf H-Pegel gelegt. Die CPU sendet daraufhin das BUSAK-Signal (L-Pegel), das dann den CPU-Simulator in die Lage versetzt, die Systembuskontrolle zu übernehmen.
- **MREQ/IORQ:** Dieser Umschalter legt fest, ob sich das Byte auf dem Datenbus auf eine Speicher- oder I/O-Adresse bezieht.
- **WR/RD:** Mit diesem Umschalter wird festgelegt, ob ein Byte auf dem Datenbus in Richtung Speicher bzw. I/O-Adresse gesendet oder von dort empfangen werden soll.
- **Step:** Mit diesem Taster ist im Modus Handbetrieb die Auslösung einzelner Takte möglich.
- **Zyklus:** Mit diesem Taster ist im Modus Automatik die Auslösung eines Speicher- bzw. I/O-Zyklus mit der Systemtaktfrequenz möglich.

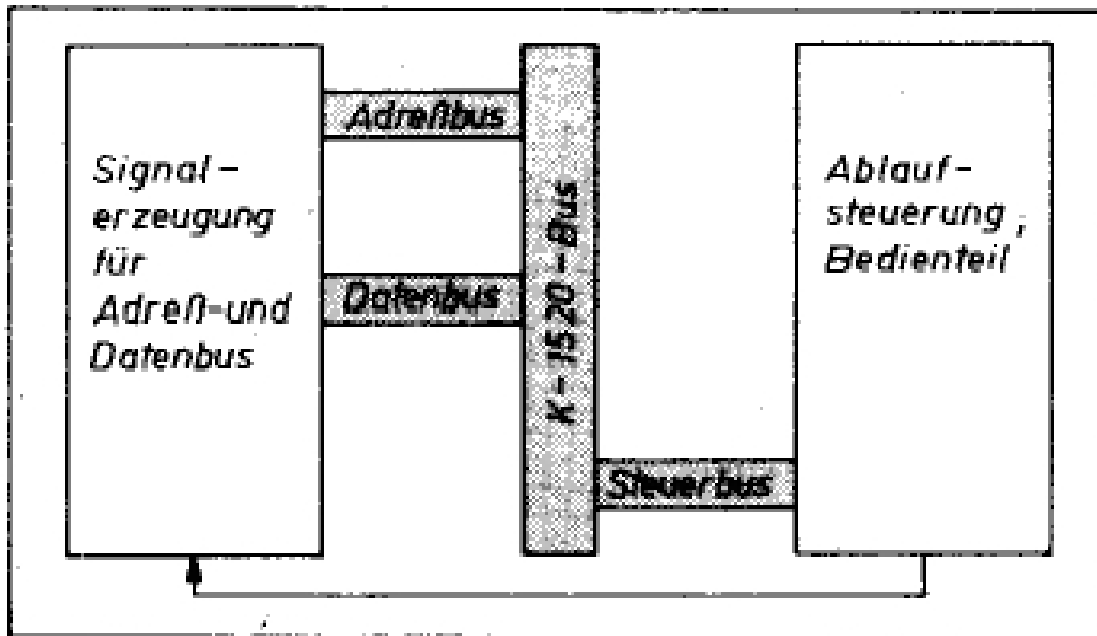


Bild 1: Blockschaltbild CPU-Simulator für U 880 D

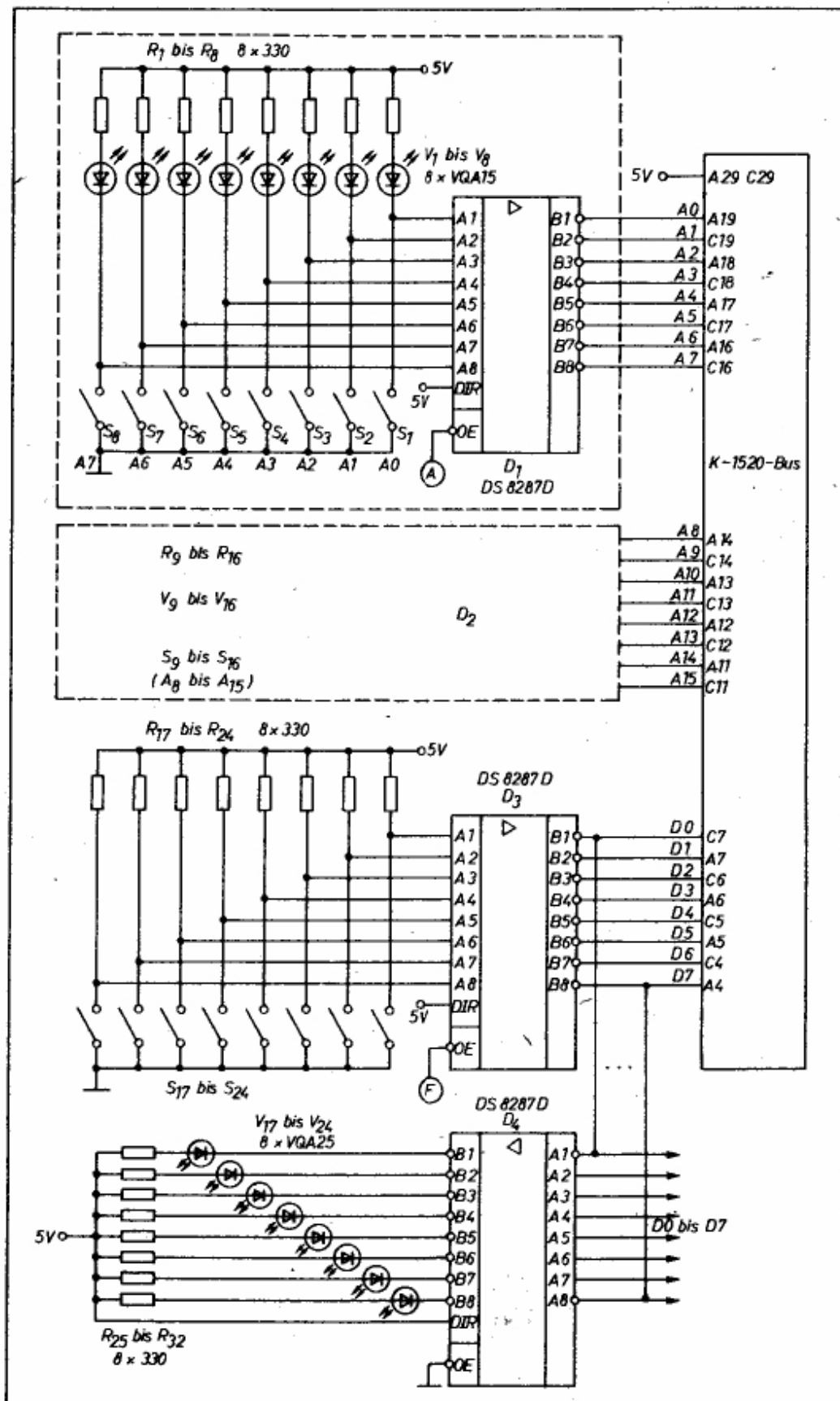


Bild 2: Signalerzeugung für den Adress- und Datenbus

Ablaufsteuerung

Bild 4 zeigt die Schaltung der Ablaufsteuerung. Durch die Anwendung eines bipolaren PROM [1] gestaltet sich die Ablaufsteuerung relativ einfach und übersichtlich. Der PROM (D₁₁) wird über die Eingänge A0 bis A3 von einem Binärzähler (D₁₀) adressiert. Die unterschiedlichen Arbeitsmodi (MREQ, IORQ und WR, RD) werden über die Adressen A4 und A5 eingestellt. Der Inhalt des PROM ist der Tafel zu entnehmen. Zur Anzeige des momentanen Taktzustandes, insbesondere im Step-Betrieb, werden über einen BCD-Dezimal-Dekoder (D₁₃) fünf LEDs (V₃₁ bis V₃₅) angesteuert.

Mit dem DIL-Schalter S₂₆ (DYN/STAT) ist es möglich, repetierende Taktzyklen oder nur einen einzelnen Taktzyklus ablaufen zu lassen. Der Taktzyklus wird dann mit dem Sensorschalter Zyklus aktiviert, wobei dessen Bereitschaft mit V₂₉ (s. Bild 3) angezeigt wird.

Soll das Verhalten der zu testenden Rechnerschaltung im Stepp-Betrieb mit einzelnen Taktimpulsen überprüft werden, ist mit dem Schalter S₂₅ (H/A) vom Systemtakt auf Handtaktung umzuschalten. An den Ausgängen Q1 bis Q4 stehen die Bussteuersignale MREQ, IORQ, RD und WR zur Verfügung. Da an den Ausgängen des PROM bei dessen Adresswechsel unerwünschte Spikes entstehen können, muß noch ein Speicherregister (D₁₂) nachgeschaltet werden. Die Ausgänge von D₁₂ haben hochohmiges Verhalten, so daß sie unmittelbar mit den entsprechenden Bussteuersignalen des Systembusses verbunden werden können. Sie werden nur dann aktiv, wenn der CPU-Simulator über die BUSRQ-Steuerung die Buskontrolle übernommen hat, d. h., der Steuereingang von D₁₂ (/OE) wird durch das interne BUSRQ-Signal auf L-Pegel gelegt. Gleiches gilt für die Datenausgabe auf den Systembus. Diese kann nur dann erfolgen, wenn das interne BUSRQ- und das WR-Signal aktiv sind.

D₁₂ wird über die Verzögerungsschaltung mit D_{9,5} und D_{9,6} etwa einen halben Takt später getaktet (beim Betrieb mit dem Systemtakt). Somit werden die Ausgangssignale von D₁₁ erst dann übernommen, wenn sich bereits stabile Ausgangszustände am PROM eingestellt haben. Eine Ausnahme bildet der IORQ-Zyklus, der durch die Verkopplung über V₃₆ sofort beginnt.

Da die Ausgänge von D₁₁ Open-Collector-Ausgänge sind, müssen die Widerstände R₅₃ bis R₅₆ vorgesehen werden.

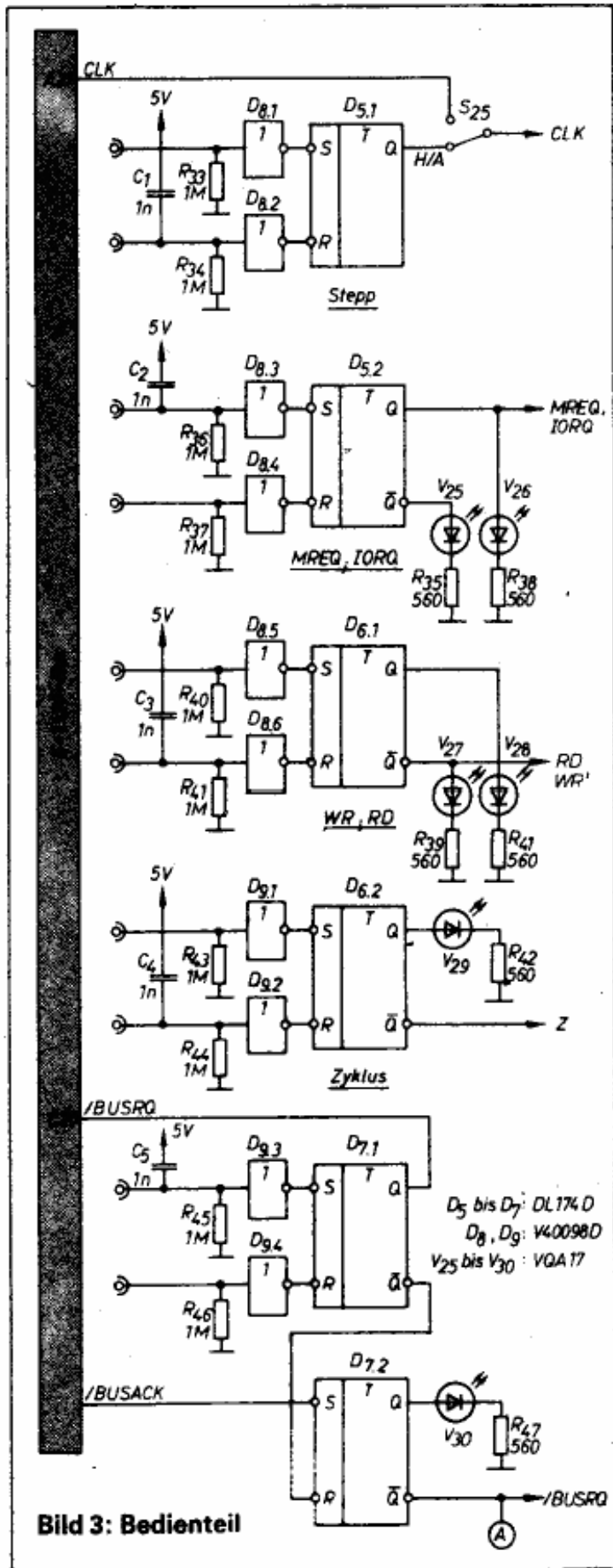


Bild 3: Bedienteil

Konstruktive Gestaltung und Anwendungshinweise

Der CPU-Simulator wurde als K-1520-kompatible Steckeinheit mit den Abmessungen 175 mm x 210 mm mit einer um etwa 25 mm vorgesetzten Frontplatte aufgebaut. Um die mechanische Stabilität so wenig wie möglich zu beeinträchtigen, wurde nur eine minimale Frontplattenbreite von etwa 40 mm gewählt. Die Länge ergibt sich aus der Leiterplattengröße. Alle Bedienelemente sind in der oben genannten Weise auf der Frontplatte untergebracht.

Die Stromversorgung muß aus dem zu testenden Mikrorechnersystem möglich sein (5V; 0,7A).

Die Steckeinheit des CPU-Simulators wird auf einem freien Steckplatz, möglichst in der Nähe der ZRE-Karte, gesteckt. Da mit dem CPU-Simulator keine Interruptvorgänge getestet werden können, ist eine eventuelle Auftrennung der Interruptkette auch von untergeordneter Bedeutung.

Ergänzungen

Eine mögliche Ergänzung wäre z. B. die Einbeziehung von WAIT-Zyklen, um auch langsamere Peripheriebaugruppen testen zu können. Selbstverständlich ist auch eine Modifikation für andere CPUs möglich, einschließlich für die 16-bit-Rechentechnik. Dieser Fakt wird insbesondere dann interessant, wenn die Wartung und Reparatur der eigenen Rechentechnik selbst übernommen werden soll.

Literatur

- [1] Salomon, P., Lange, R.: Eigenschaften und Anwendung von bipolaren PROMs.
radio fernsehen elektronik, Berlin 35 (1986) 3, S. 187-189
- [2] Z-80-Simulator, Elektor, Gaugelt 15 (1984)4, S. 39-42

© Copyright Peter Salomon, Berlin, rescript aus rfe 1989/4; bearbeitet 2008

Die vorliegende Publikation ist urheberrechtlich geschützt. Alle Rechte, Irrtum und Änderungen vorbehalten. Eine auch auszugsweise Vervielfältigung bedarf in jedem Fall der Genehmigung des Herausgebers.

Die hier wiedergegebenen Informationen, Dokumente, Schaltungen, Verfahren und Programmmaterialien wurden sorgfältig erarbeitet, sind jedoch ohne Rücksicht auf die Patentlage zu sehen, sowie mit keinerlei Verpflichtungen, noch juristischer Verantwortung oder Garantie in irgendeiner Art verbunden. Folglich ist

jegliche Haftung ausgeschlossen, die in irgendeiner Art aus der Benutzung dieses Materials oder Teilen davon entstehen könnte.

Für Mitteilung eventueller Fehler ist der Autor jederzeit dankbar.

Es wird darauf hingewiesen, dass die erwähnten Firmen- und Markennamen, sowie Produktbezeichnungen in der Regel gesetzlichem Schutz unterliegen.